

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-163506

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H01L 29/861
H01L 21/82
H01L 27/10
H03K 19/177

(21)Application number : 08-319642

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 29.11.1996

(72)Inventor : TAKAHASHI HIROSHI

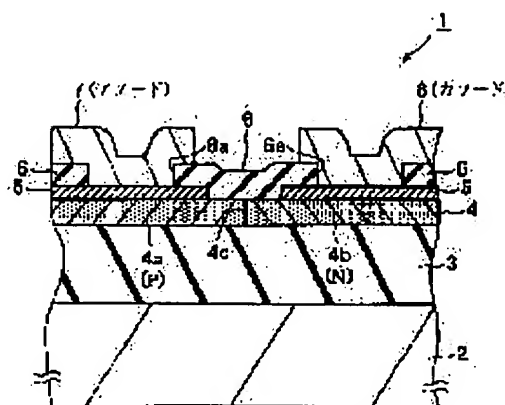
MURAMATSU SHIGETOSHI

(54) THIN-FILM SILICON DIODE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the load capacitance of a signal line by reducing parasitic capacitance etc.

SOLUTION: An Si film, e.g. polysilicon film 4 contacted onto an insulating layer 3 has a thin film diode, composed of two mutually adjacent and mutually opposite conductivity-type conductive regions 4a, 4b connected to wiring layers 7, 8, respectively. This SOI type thin-film diode has a very low parasitic capacitance and comparatively low junction capacitance due to which if it is used as a switching element, the signal line load capacitance of a semiconductor diode, e.g. diode ROM, PLA, shift register etc., is greatly reduced to develop a high-speed and low-power consumption semiconductor device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Thin film silicon diode which adjoins mutual [which was formed in the silicon film production which touches on an insulating layer], and consists of two electric conduction film fields of a reverse conductivity type mutually and by which the wiring layer is connected to each of each electric conduction film field.

[Claim 2] Said silicon film production is thin film silicon diode according to claim 1 which consists of polycrystalline silicon.

[Claim 3] It is the semiconductor device which adjoins mutual [which is the semiconductor device which reads potential change which information is memorized by whether diode is connected between both lines on each intersection of a bit line and a word line, and a word line electrical potential difference is changed, and is produced in a predetermined bit line by the flow of said diode as storage information, and was formed in the silicon film production which said diode touches on an insulating layer], and is constituted by two electric-conduction film fields of a reverse conductivity type.

[Claim 4] It is the semiconductor device which adjoins mutual [which is the semiconductor device which obtains the output of said logical circuit from potential change which a logical circuit is constituted from each intersection of an input line and an output line by whether diode is connected between both lines, and an input-line electrical potential difference is changed, and is produced in an output line by the flow of said diode, and was formed in the silicon film production which said diode touches on an insulating layer], and is constituted by two electric conduction film fields of a reverse conductivity type.

[Claim 5] It is the semiconductor device which it has the latch who consisted of inverters of a pair each other connected to the reverse sense, and it is the semiconductor device by which the switching element which impresses predetermined potential to either of the two nodes according to a clock signal is connected to the latch concerned, and said switching element adjoins mutual [which was formed in the silicon film production which touches on an insulating layer], and is constituted by two electric conduction film fields of a reverse conductivity type.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the thin film silicon diode using a polycrystal silicone film etc. Moreover, this invention relates to the semiconductor device which applied this thin film silicon diode to the array component or the switching element.

[0002]

[Description of the Prior Art] Conventionally, generally the diode as a simple substance device or a configuration component of IC consisted of impurity ranges of a mutually different conductivity type of the field in a semi-conductor substrate, and the formation was performed by impurity diffusion, an ion implantation, etc.

[0003]

[Problem(s) to be Solved by the Invention] However, although this conventional diode fitted the application which is going to pass a high current or is going to obtain high pressure-proofing, it was not what this was constituted from an impurity diffusion field by the small signal application with high-speed input-level detection in an array component called Diodes ROM (Read Only Memory) and PLA (Programmable Logic Array) and DTL (Diode Transistor Logic) or clocked into switch of a shift register etc., and was not necessarily suitable for it from parasitic capacitance and a junction capacitance being large, for example.

[0004] This invention is made in view of such the actual condition, and parasitic capacitance and its junction capacitance are small, and it aims at newly offering the thin film silicon diode which can aim at load-carrying capacity reduction of the signal line connected. moreover, the high speed and the low one for which this invention used the above-mentioned thin film silicon diode — it aims at offering a semiconductor device [***].

[0005]

[Means for Solving the Problem] In order to solve the trouble of the conventional technique mentioned above and to attain the above-mentioned purpose, the polycrystal silicon diode of this invention adjoins mutual [which was formed in the silicon film production (for example, polycrystal silicone film) which touches on an insulating layer], consists of two electric conduction film fields of a reverse conductivity type mutually, and is characterized by connecting the wiring layer to each of each electric conduction film field. When this is formed in a semi-conductor substrate, this thin film silicon diode serves as discontinuous construction of a SOI (Silicon On Insulator) mold, consequently its parasitic capacitance is very small as compared with the diode of a conventional type. Moreover, since it is formed in a film cross section and unnecessary junction is not formed in the direction in which a current does not flow, the junction capacitance of the PN junction by the electric conduction film field of a reverse conductivity type is also mutually small in comparison.

[0006] The thin film silicon diode of this invention becomes possible [replacing the transistor of the specified use as which high-speed switching is required from the former with this thin film silicon diode in various semiconductor devices from parasitic capacitance and a junction capacitance being small] like the above.

[0007] Memory devices, such as for example, DAIDO ROM, can be transposed to the 1st with

this thin film silicon diode. In this case, as for the semiconductor device of this invention, information is memorized by whether diode is connected between both lines on each intersection of a bit line and a word line. It is the semiconductor device which reads potential change which a word line electrical potential difference is changed and is produced in a predetermined bit line by the flow of said diode as storage information. Said diode Mutual [which was formed in the silicon film production which touches on an insulating layer] is adjoined, and it is characterized by being mutually constituted by two electric conduction film fields of a reverse conductivity type.

[0008] The logical organization component of PLA can be replaced [2nd] with this thin film silicon diode. In this case, as for the semiconductor device of this invention, a predetermined logical circuit is constituted from each intersection of an input line and an output line by whether diode is connected between both lines. It is the semiconductor device which obtains the output of said logical circuit from potential change which an input-line electrical potential difference is changed and is produced in an output line by the flow of said diode. Said diode Mutual [which was formed in the silicon film production which touches on an insulating layer] is adjoined, and it is characterized by being mutually constituted by two electric conduction film fields of a reverse conductivity type.

[0009] In a register, the switching element which carries out reversal actuation of the latch according to a clock signal (a reset signal is included) can be replaced [3rd] with this thin film silicon diode. The semiconductor device of this invention has the latch who consisted of inverters of a pair each other connected to the reverse sense. In this case, for the latch concerned It is the semiconductor device to which the switching element which impresses predetermined potential to either of the two nodes according to a clock signal is connected. Said switching element Mutual [which was formed in the silicon film production which touches on an insulating layer] is adjoined, and it is characterized by being mutually constituted by two electric conduction film fields of a reverse conductivity type.

[0010] In these semiconductor devices, load-carrying capacity, such as a bit line and a word line, an input line and an output line, or a clock signal line, is reduced, and the high-speed operation becomes possible. Moreover, power consumption is reduced for load-carrying capacity by reduction.

[0011]

[Embodiment of the Invention] Hereafter, the thin film silicon diode and the semiconductor device concerning this invention are explained to a detail, referring to a drawing.

[0012] The 1st operation gestalt book operation gestalt is a thing about thin film silicon diode. Drawing 1 is the outline sectional view showing the example of 1 configuration of the thin film silicon diode of this invention. Among drawing, a sign 1 shows thin film silicon diode, and the insulating layer 3 thick enough which consists of silicon oxide etc. is formed, for example on the semi-conductor substrates 2, such as a silicon wafer, with this thin film silicon diode 1.

[0013] In this invention, the polycrystal silicone film 4 is formed as film made from silicon on the insulating layer 3. And this polycrystal silicone film 4 consists of P type film field 4a into which the P type impurity was introduced, and N type film field 4b into which the N type impurity was introduced, and PN-junction 4c is formed in the contact surface of both the film fields 4a and 4b. As film made from this silicon, you may be the film of an amorphous silicon and single crystal silicon besides a polycrystal silicone film. the case of polycrystalline silicon or an amorphous silicon — CVD (Chemical Vapor Deposition) law — the case of single crystal silicon — SIMOX (Separation by Implanted Oxygen) — the film made from silicon can be formed by law in the form which touched on the insulator layer 3, respectively.

[0014] The refractory metal film 5 is formed in the form separated on PN-junction 4c both sides, and the low resistance-ization is attained by the polycrystal silicone film 4 top. as what silicide-ized everything but titanium (Ti), a tungsten (W), and molybdenum (Mo) as refractory metal film 5, for example — for example, TiSi₂, WSi₂, MoSi₂, and TaSi₂ etc. — it can choose. And the interlayer insulation film 6 which has connection hole 6a by the P and N side, respectively is formed on the refractory metal film 5, and the anode electrode layer 7 and the cathode electrode layer 8 are connected to the refractory metal film 5 by the side of P and N through this connection hole 6a, respectively.

[0015] Below, the case of polycrystalline silicon is explained briefly [an example] about the manufacture approach of the thin film silicon diode 1 a configuration of having described above. First, the semi-conductor substrate 2 is prepared and an insulating layer 3 is formed in the front face at a thick film. The polycrystal silicone film 4 is formed with a CVD method, for example, it divides by next the P type by ion-implantation and N type striking, and classifies into P type film field 4a and N type film field 4b.

[0016] this ion implantation — having good control of striking a ball in any direction — it is also possible to perform the resist pattern formation and the ion implantation by the photolithography technique twice by turns — the self-align-approach is desirable, in order to make both the film fields 4a and 4b adjoin and to form PN-junction 4c certainly but. For example, the laminating mask pattern of an oxidation silicone film and a silicon nitride film is first formed in a side to set to P type film field 4a, the ion implantation of the N type impurity is carried out, and N type film field 4b is formed. Then, the formed N type film field 4b front face is alternatively oxidized thermally using the same laminating mask pattern. And if the ion implantation of the P type impurity is carried out by using the left-behind selective oxidation film as a mask after laminating mask pattern removal, N type film field 4b formed previously will be adjoined, and P type film field 4a will be formed in self align. Then, the selective oxidation film is removed.

[0017] Alloying is performed after carrying out etching removal of the part which formed the refractory metal film 5 and met PN-junction 4c of the refractory metal film 5 which formed membranes. If alloying of this refractory metal film 5 ends, the predetermined interlayer insulation film 6 will be formed and opening of the connection hole 6a will be carried out. And the metal membrane used as an electrode is formed, etching processing of this metal membrane is carried out, and a wiring layer (the anode electrode layer 7 and cathode electrode layer 8) is formed. Thereby, in the form connected to the refractory metal film 5 by the side of P and N through connection hole 6a, respectively, the anode electrode layer 7 and the cathode electrode layer 8 dissociate, and are formed. After that, manufacture of the thin film silicon diode 1 concerned is completed through formation of a protective layer, pad aperture dawn, etc. if needed.

[0018] Since diode is formed on the insulating layer 3 in the thin film silicon diode 1 of this invention, the parasitic capacitance is very small. Moreover, since the diode concerned is constituted within the thin film 4 by the electric conduction film fields 4a and 4b which adjoin mutually, a junction capacitance is also easy to make it small. For this reason, reduction of high-speed switching operation and power consumption is possible. Moreover, since the thin film silicon diode 1 of this invention is easily formed in the combination of the usual film formation technique containing an electric conduction chemically-modified degree, and its etching processing technique, it also has the features that a production process is simple.

[0019] The 2nd operation gestalt book operation gestalt is a thing about Diode ROM among the semiconductor devices of this invention. Drawing 2 is the circuit diagram showing the important section of Diode ROM. Among drawing 2, in the sign 11, a memory array and 12 show a column multiplexer and 13 shows the sense amplifier.

[0020] Coding is carried out by whether it has word lines WL1 and WL2 and the diode with — connected between both lines on each intersection with bit lines BL1 and BL2 and — in the memory array 11. At the example of drawing 2, it is a bit line BL1 concretely. Word line WL1 Intersection, Bit line BL2 Word line WL2 An intersection and bit line BL2 Word line WL4 An intersection is considered as coding "0" by making diode connectionless. Diode D21, D31, D41, D12, D32, D13, D23, D33, and D43 are connected at other intersections, and it is considering as coding "1."

[0021] For this diode ROM 10, bit lines BL1 and BL2 and — are precharged high-level before read-out actuation, word lines WL1 and WL2 and — are set to a low level at the time of selection, and a desired memory cell (diode) is chosen. For this reason, an anode is connected to a bit line side and the cathode is connected to the word line side, respectively so that each diode may flow at the time of selection.

[0022] It is drawing where drawing 3 shows the structure of this diode ROM to an example for the A section of drawing 2, and is the sectional view where drawing 3 (a) met the top view and

drawing 3 (b) met the II-II line of drawing 3 (a). The diode D32 which shows a cross section to drawing 3 (b) and the diode D21 which does not illustrate a cross section, and D31 consist of thin film silicon diodes 1 described in the 1st operation gestalt, respectively. Therefore, about these diodes D21, D31, and D32, the same sign as said 1st operation gestalt is attached, and detailed explanation here is omitted. Here, for a semi-conductor substrate and 3, as for silicon film production (for example, polycrystal silicone film) and 5, an insulating layer and 4 are [the sign 2 in drawing / the refractory metal film and 6] interlayer insulation films (here, it is called the 1st interlayer insulation film). Moreover, 4a is [an N type film field and 4c of the P type film field in the film made from silicon and 4b] PN junctions.

[0023] Sign 6a is the connection hole (here, it is called CNT) of the 1st interlayer insulation film 6, and opening is carried out on the refractory metal film 5 on P type film field 4a. On this CNT, the 1st wiring layer (1MET), such as aluminum (aluminum), is formed as an isolated pattern connected to the refractory metal film 5 of a substrate. The 2nd interlayer insulation film 9 was formed on 1MET, and this 2nd interlayer insulation film 9 is equipped with the connection hole (VIA) which carries out opening on 1MET. And it is the form connected to 1MET of a substrate through this VIA, for example, the 1st wiring layer (2MET), such as aluminum (aluminum), is wired in the direction of a train.

[0024] It is a word line WL3 by the cascade screen of the N type film field 4b and the refractory metal film 5 to which diode D32 was connected at that left end in this drawing 3 (b). It is a word line WL2 by the cascade screen of the N type film field 4b and the refractory metal film 5 which were constituted and were isolated at the right end of drawing. It is constituted. Moreover, it is a bit line BL2 by 2MET. It is constituted.

[0025] Although not illustrated, diode D21 and especially the cross-section structure of D31 are constituted as the diode D32 of drawing 3 (b) has been arranged to bilateral symmetry. Namely, word line WL2 Although drawing is separated by 3 (b), these are made to extend in the opposite direction inside mutually, are contacted inside, other PN junctions are formed, and, thereby, as for N type film field 4b and P type film field 4a to constitute, diode D21 and D31 are mutually formed in the reverse sense in the cross section of diode D21 and D31. Moreover, it is a bit line BL1 by 2MET. It is constituted.

[0026] Thus, at the array structure shown in drawing 3, they are two word lines WL2 and WL3. It considers as a lot and they are these word lines WL2 and WL3. The so-called polycrystalline silicon coding method with which it is decided whether diode is made to form by the pattern of the impurity diffusion field (P type film field 4a and N type film field 4b) of a between is adopted. by this coding method, between two diodes (for example, D21, D31) alternatively formed in opposite spacing of two word lines (for example, WL2 and WL3), since-izing of P type film field 4a and the bit line contact (VIA) can be carried out [****], it has the advantage that the occupancy area of a memory array 11 is boiled comparatively, and can be made small.

[0027] For the diode ROM of this invention, the coding method by bit line contact is also employable besides a polycrystalline silicon coding method. Drawing 4 (a) and (b) are drawings showing the array structure at the time of adopting the coding method by this bit line contact, it is a top view and drawing 4 (b) is [drawing 4 (a)] III-III of drawing 4 (a). It is the sectional view which met the line.

[0028] The point that this array structure differs from the polycrystalline silicon coding method shown in drawing 3 (a) described previously and (b) is to form two diodes separately for every bit line in opposite spacing of two word lines. That is, in the cross section of drawing 4 (b), diode D22 is also formed besides diode D32, and P type film field 4a of both the diodes D32 and D22 is not communalized. And the isolated pattern of 1MET is formed in every each P type film field 4a, and the coding is 1MET and a bit line BL2. It is carried out by the existence of the VIA formation which is a connection hole.

[0029] Time amount (or it is also called TAT:TurnAround Time), i.e., the cycle time, although-izing of diode and VIA cannot be carried out [****] as compared with said polycrystalline silicon coding method but occupancy area becomes large for the diode ROM of the coding method by bit line contact of such a configuration, since coding can carry out at the process of the back twist in a production process, after coding data come to hand from a customer until it

ships a product It has the advantage that it can do short.

[0030] In addition, the bit line contact to code is not limited to VIA of the example of illustration. That is, if it is when CNT by the side of a lower layer is made to form alternatively or it has the 3rd wiring layer (3MET) and the 4th wiring layer (4MET) in an upper layer side further, it is also possible by forming alternatively the connection hole (VIA2) of 2MET(s) and 3MET(s), and the connection hole (VIA3) of 3MET and 4MET(s) to realize coding of the bit line contact concerned. About the manufacture approach of these drawing 3 and the diode ROM shown in 4, a diode part can be formed like the 1st operation gestalt described previously, and since formation of the laminated structure through the interlayer insulation film of the wiring layers by the side of the upper layer (1MET, 2MET(s), etc.) is realizable with combination with the usual membrane formation techniques (a CVD method, sputter, etc.), a photolithography technique, and an etching processing technique, explanation here is omitted. In addition, as for 4d of signs, the mask pattern for impurity ***** of the polycrystal silicone film 4 and sign 5a show the mask pattern for partial removal of the refractory metal film 5 among drawing 3 (a) and drawing 4 (a).

[0031] Next, the case where diode D32 is chosen in drawing 2 about data readout actuation of this diode ROM 10 is explained briefly [an example]. as carried out, said bit line chosen is precharged high-level before read-out actuation — having — a word line — a low — before selection of a word line since it is active and is chosen — bit line potential — “High (H)” — level and word line potential are held at “High (H)” level, respectively, an electrical potential difference is not impressed to all diodes, but there is no power consumption in diode in them. Next, selection word line WL3 If dropped on “L” level, since bias only of the diode D32 will be carried out to the forward direction, it is forward current IF to this. It flows and is the subdevice-bit line BL2. Potential falls. This subdevice-bit line BL2 Data output of the potential fall is detected and carried out by work of the column multiplexer 12 which connects a subdevice-bit line to a sense amplifier 13 alternatively with a sense amplifier 13.

[0032] With diode ROM 10, as mentioned above, a reverse bias is carried out and non-choosing diode is forward current IF at the time of selection. Since it is read, data readout will be impossible if hard flow leakage current IR is not much large. The current of the non-subdevice-bit line by which the diode of a large number, such as 128 pieces and 256 pieces, was arranged, and these reverse currents were integrated in the direction of a train of diode ROM 10 is IR at the maximum. It may become 128 times or 256 times. Therefore, forward current IF of a subdevice-bit line It receives and it is necessary to make small relatively the current value of this non-subdevice-bit line.

[0033] For the diode ROM 10 of this invention, since the memory array is constituted using the thin film silicon diode 1, the load-carrying capacity of the bit line to which the diode of a large number, such as 128 pieces or 256 pieces, is connected, or a word line is very small compared with the former, and makes possible high-speed data readout and a high-speed low power. Moreover, a production process as well as the 1st operation gestalt is simple, and it is suitable also for high integration.

[0034] The 3rd operation gestalt book operation gestalt is a thing about PLA among the semiconductor devices of this invention. PLA was made to implement on an array in the form which developed the logical circuit of arbitration to sum of products, and, generally consists of an AND array and an OR array. Drawing 5 is the circuit diagram extracting and showing a part of AND array of PLA, the array input (IN0T, IN0F, —) generated by (IN0, IN1) and the output (OL0, OL1, and OL2) of an array are wired in the shape of a matrix, and logical function is implemented by whether diode is connected between both lines on the intersection.

[0035] Drawing 6 is a timing chart which shows actuation of this AND array. The precharge clock signal (precharge clk) shown in an output line (OLx) at drawing 6 is impressed, and an output line (OLx) is changed into H condition. All the inputs of an array are set to (H) at this time. Next, if a precharge clock signal is set to (L), the signal according to an input (IN0 and IN1) will be inputted into an array, and the diode connected to the array input (L) will drop output Rhine on (L). In the example of drawing, as shown in the next table, it is decoded.

[Table 1]

INPUT		OUTPUT		
IN0	IN1	OL0	OL1	OL2
0	0	0	1	1
1	0	0	1	0
0	1	1	0	0
1	1	0	0	0

[0036] Thus, an input (IN0 and IN1) opts for an output (OL0, OL1, and OL2) with the diode implemented by the AND array.

[0037] The 4th operation gestalt book operation gestalt is a thing about a register among the semiconductor devices of this invention. Drawing 7 is the circuit diagram showing a shift register as an example of the register of this invention. This shift register is divided roughly into the master section, the slave section, and the scanning input section.

[0038] the master section -- setting -- inverters INV1 and INV2 a data-hold latch constitutes -- having -- node ND 1 of the one side of it **** -- nMOS transistor TR1 which flows according to gate impression of input data it connects -- having -- latch's node ND 2 of the other side **** -- inverter INV3 nMOS transistor TR2 which flows according to gate impression of the input data reversed by minding It connects. Both these nMOS(s) transistors TR1 and TR2 The communalized source (node ND 3) is connected to the master clock signal line mCLK through the thin film silicon diode 1 as shown with said 1st operation gestalt.

[0039] the configuration of the slave section -- the same -- inverters INV4 and INV5 a data-hold latch constitutes -- having -- node ND 4 of the one side of it **** -- said node ND 1 of the master section nMOS transistor TR3 to which the gate was connected it connects -- having -- latch's node ND 5 of the other side **** -- said node ND 2 of the master section nMOS transistor TR4 to which the gate was connected It connects. Both these nMOS(s) transistors TR3 and TR4 The communalized source (node ND 6) is connected to the slave clock signal line sCLK through the thin film silicon diode 1 of a configuration as said 1st operation gestalt shows. moreover, latch's node ND 4 of one side **** -- two steps of inverters INV6 and INV7 It minds and the data output terminal is connected.

[0040] On the other hand, for the scanning input section, a drain is said node ND 1 of the master section. nMOS transistor TR5 which is connected and flows according to gate impression of a scanning input A drain is said node ND 2 of the master section. It connects and is an inverter INV8. nMOS transistor TR6 which flows according to gate impression of the scanning input reversed by minding It has. Both these nMOS(s) transistors TR5 and TR6 The communalized source (node ND 7) is connected to the test clock signal line tCLK through the thin film silicon diode 1 of a configuration as said 1st operation gestalt shows.

[0041] Below, actuation of the shift register constituted in this way is described briefly. in addition, various clock signal mCLK(s), sCLK, and tCLK which are inputted into this shift register -- a low -- it is an active signal. It is TR1, when the data of "H" level are inputted into this shift register and the master clock signal line mCLK is set to "L" level. It flows and is a node ND 1. "L" and node ND 2 It is held by "H". In this condition, if the slave clock signal line sCLK is set to "L" level, TR4 will flow, and it is a node ND 5. "L" and node ND 4 It is held by "H" and the data of this "H" are two steps of inverter INV6 INV(s)7. Data output is minded and carried out. [0042] It is TR2, when the data of "L" level are inputted into this shift register and mCLK is set to "L" level on the contrary. It flows. Node ND 2 "L" and node ND 1 It is TR3, when it is held by "H" and sCLK is set to "L" level in this condition. It flows. Node ND 4 "L" and node ND 5 It is held by "H" and is a node ND 4. The data of "L" are two steps of inverter INV6 INV(s)7. Data output is minded and carried out.

[0043] Moreover, at the time of a scan, the nodes ND1 and ND2 of the scanning input section and the master section and the data transfer of the scanning input (SCAN IN) through the slave section become possible by setting tclk and sclk to "L" by turns.

[0044] In a shift register, respectively, in order to perform a high-speed shift action from

connecting with juxtaposition to much master sections, the slave section, and the scanning input section, reduction of the load-carrying capacity is usually important for each clock signal lines mCLK, sCLK, and tCLK. In the register of this invention, as a switching element of the clock signal lines mCLK, sCLK, and tCLK various [these], since the thin film silicon diode 1 is used, the load-carrying capacity of the clock signal lines mCLK, sCLK, and tCLK various [these] is reduced, consequently improvement in the speed and low-power-izing of a shift action are attained.

[0045]

[Effect of the Invention] As explained above, according to the thin film silicon diode concerning this invention, the junction capacitance and parasitic capacitance are small, and the high-speed switching of them is attained. Moreover, in the semiconductor device (for example, Diodes ROM and PLA, a register) using this thin film silicon diode as a switching element, the load-carrying capacity of the signal line to which many switching elements are connected is reduced sharply, and, thereby, is attaining large improvement in the speed and low-power-izing of these semiconductor devices.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

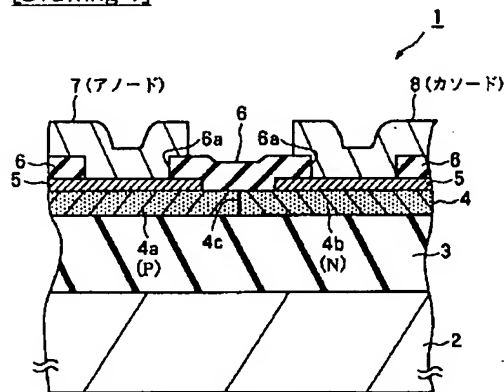
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

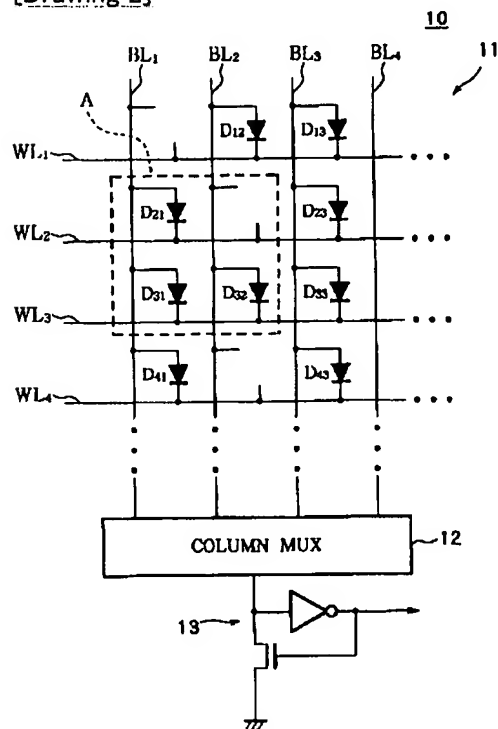
3.In the drawings, any words are not translated.

DRAWINGS

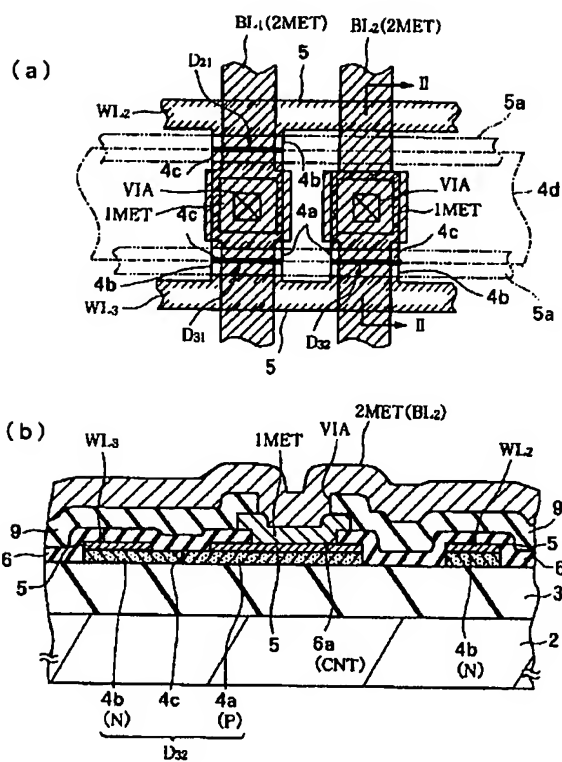
[Drawing 1]



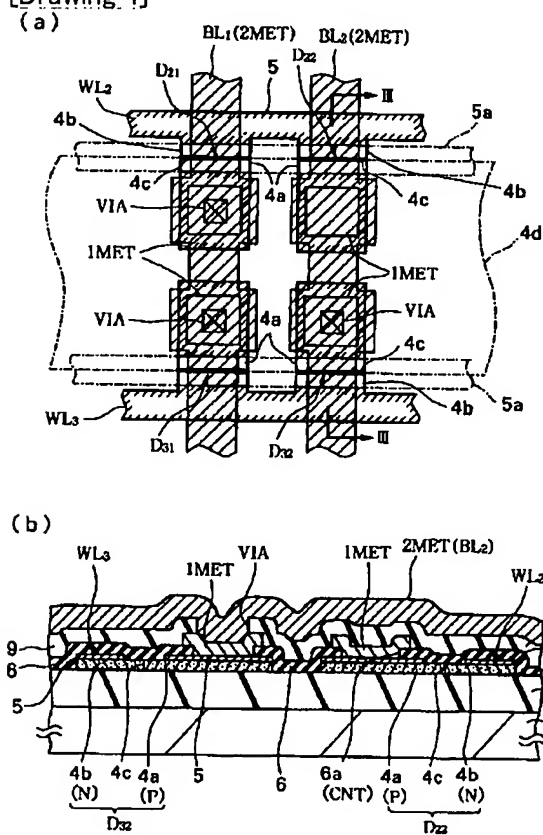
[Drawing 2]



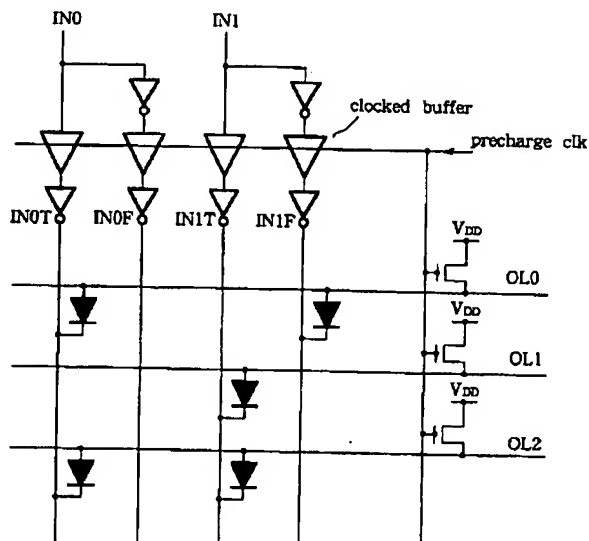
[Drawing 3]



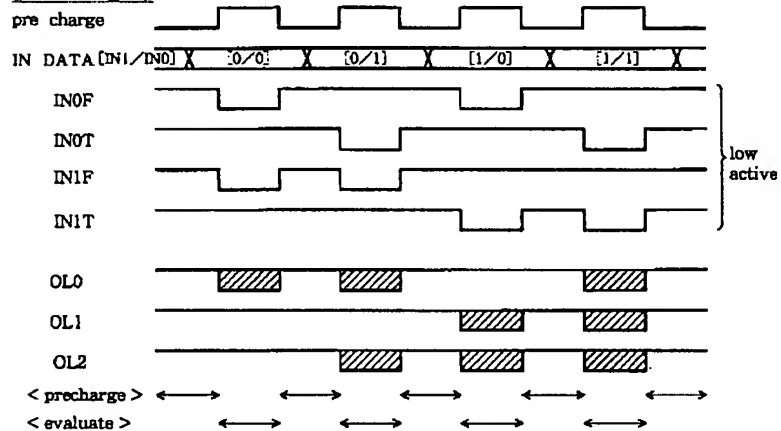
[Drawing_4]



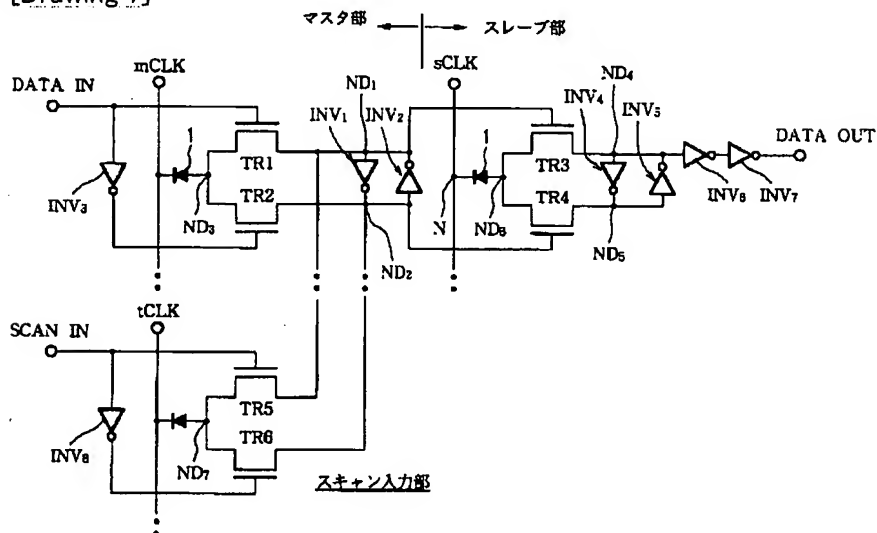
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-163506

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl. ⁶	識別記号	F I		
H 0 1 L 29/861		H 0 1 L 29/91		E
21/82		27/10	4 3 1	
27/10	4 3 1	H 0 3 K 19/177		
H 0 3 K 19/177		H 0 1 L 21/82		A
審査請求 未請求 請求項の数 5 O L (全 9 頁)				

(21)出願番号 特願平8-319642

(22)出願日 平成8年(1996)11月29日

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 高橋 博

東京都港区北青山3丁目6番12号 青山富士ビル
日本テキサス・インスツルメンツ株式会社 社内

(72)発明者 村松 重利

東京都港区北青山3丁目6番12号 青山富士ビル
日本テキサス・インスツルメンツ株式会社 社内

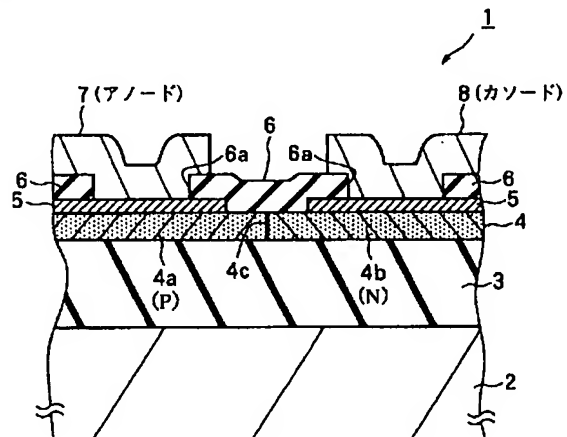
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 薄膜シリコンダイオード及び半導体装置

(57)【要約】

【課題】 寄生容量等を小さくして信号線の負荷容量低減を図る。

【解決手段】 絶縁層3上に接するシリコン製膜(例えば、多結晶シリコン膜4)に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域4a、4bによる薄膜ダイオードが構成され、各導電膜領域4a、4bにはそれぞれ配線層7又は8が接続されている。このSOI型の薄膜ダイオードは、寄生容量が極めて小さく、また接合容量も比較的に小さいので、これをスイッチング素子として用いると、半導体装置(例えば、ダイオードROM、PLA、シフトレジスタ等)の信号線負荷容量が大幅に低減され、これら半導体装置の高速化および低消費電力化が進展する。



【特許請求の範囲】

【請求項1】 絶縁層上に接するシリコン製膜に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域からなり、各導電膜領域のそれぞれに配線層が接続されている薄膜シリコンダイオード。

【請求項2】 前記シリコン製膜は、多結晶シリコンから構成されている請求項1に記載の薄膜シリコンダイオード。

【請求項3】 ビット線とワード線との各交点で両線間にダイオードが接続されているか否かによって情報が記憶され、ワード線電圧を変化させて前記ダイオードの導通により所定のビット線に生じる電位変化を記憶情報として読み出す半導体装置であって、前記ダイオードは、絶縁層上に接するシリコン製膜に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域により構成されている半導体装置。

【請求項4】 入力線と出力線との各交点で両線間にダイオードが接続されているか否かによって論理回路が構成され、入力線電圧を変化させて前記ダイオードの導通により出力線に生じる電位変化から前記論理回路の出力を得る半導体装置であって、前記ダイオードは、絶縁層上に接するシリコン製膜に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域により構成されている半導体装置。

【請求項5】 互いに逆向きに接続された一対のインバータから構成されたラッチを有し、当該ラッチには、その2つのノードの何れか一方にクロック信号に応じて所定電位を印加するスイッチング素子が接続されている半導体装置であって、前記スイッチング素子は、絶縁層上に接するシリコン製膜に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域により構成されている半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多結晶シリコン膜等を利用した薄膜シリコンダイオードに関する。また、本発明は、この薄膜シリコンダイオードを、アレイ素子やスイッチング素子に適用した半導体装置に関する。

【0002】

【従来の技術】従来、単体デバイス或いはICの構成素子としてのダイオードは、一般に、半導体基板内の領域の互いに異なる導電型の不純物領域から構成され、その形成は、例えば不純物拡散やイオン注入等で行なわれていた。

【0003】

【発明が解決しようとする課題】しかし、この従来のダイオードは、大電流を流したり高耐圧を得ようとする用途には適しているが、例えばダイオードROM(Read Only Memory)やPLA(Programmable Logic Array)といったアレイ素子、DTL(Diode Transistor Logic)におけ

る入力レベル検出、或いはシフトレジスタのクロック入力スイッチ等の高速な小信号用途には、これが不純物拡散領域から構成され寄生容量や接合容量が大きいため、必ずしも適したものではなかった。

【0004】本発明は、このような実情に鑑みてなされ、寄生容量や接合容量が小さく、接続される信号線の負荷容量低減が図れる薄膜シリコンダイオードを新たに提供することを目的とする。また、本発明は、上記薄膜シリコンダイオードを用いた高速・低消費な半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明の多結晶シリコンダイオードは、絶縁層上に接するシリコン製膜（例えば、多結晶シリコン膜）に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域からなり、各導電膜領域のそれぞれに配線層が接続されていることを特徴とする。この薄膜シリコンダイオードは、これを半導体基板に形成するとSOI(Silicon On Insulator)型の絶縁構造となり、この結果、従来型のダイオードに比較して寄生容量が極めて小さい。また、互いに逆導電型の導電膜領域によるPN接合は膜断面に形成され、電流が流れない方向には不必要な接合が形成されないことから、接合容量も比較的に小さい。

【0006】本発明の薄膜シリコンダイオードは、上記の如く寄生容量や接合容量が小さいことから、種々の半導体装置において、従来から高速スイッチングが要求される特定用途のトランジスタを、この薄膜シリコンダイオードで置き換えることが可能となる。

【0007】第1に、例えばダイードROM等のメモリ素子を、この薄膜シリコンダイオードで置き換えることができる。この場合、本発明の半導体装置は、ビット線とワード線との各交点で両線間にダイオードが接続されているか否かによって情報が記憶され、ワード線電圧を変化させて前記ダイオードの導通により所定のビット線に生じる電位変化を記憶情報として読み出す半導体装置であって、前記ダイオードは、絶縁層上に接するシリコン製膜に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域により構成されていることを特徴とする。

【0008】第2に、PLAの論理構成素子を、この薄膜シリコンダイオードで置き換えることができる。この場合、本発明の半導体装置は、入力線と出力線との各交点で両線間にダイオードが接続されているか否かによって所定の論理回路が構成され、入力線電圧を変化させて前記ダイオードの導通により出力線に生じる電位変化から前記論理回路の出力を得る半導体装置であって、前記ダイオードは、絶縁層上に接するシリコン製膜に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域により構成されていることを特徴とする。

【0009】第3に、レジスタにおいて、クロック信号（リセット信号を含む）に応じてラッチを反転動作させるスイッチング素子を、この薄膜シリコンダイオードで置き換えることができる。この場合、本発明の半導体装置は、互いに逆向きに接続された一对のインバータから構成されたラッチを有し、当該ラッチには、その2つのノードの何れか一方にクロック信号に応じて所定電位を印加するスイッチング素子が接続されている半導体装置であって、前記スイッチング素子は、絶縁層上に接するシリコン製膜に形成された相互に隣接し、互いに逆導電型の2つの導電膜領域により構成されていることを特徴とする。

【0010】これらの半導体装置では、ビット線及びワード線、入力線及び出力線、或いはクロック信号線等の負荷容量が低減され、その高速動作が可能となる。また、負荷容量が低減により、消費電力が低減される。

【0011】

【発明の実施の形態】以下、本発明に係わる薄膜シリコンダイオード及び半導体装置を、図面を参照しながら詳細に説明する。

【0012】第1実施形態

本実施形態は、薄膜シリコンダイオードについてのものである。図1は、本発明の薄膜シリコンダイオードの一構成例を示す概略断面図である。図中、符号1は薄膜シリコンダイオードを示し、この薄膜シリコンダイオード1では、例えばシリコンウェハ等の半導体基板2上に、酸化シリコン等からなる十分に厚い絶縁層3が形成されている。

【0013】本発明では、絶縁層3上に、シリコン製の膜として、例えば多結晶シリコン膜4が成膜されている。そして、この多結晶シリコン膜4は、P型不純物が導入されたP型膜領域4aと、N型不純物が導入されたN型膜領域4bとから構成され、両膜領域4a、4bの接触面にはPN接合4cが形成されている。このシリコン製の膜としては、多結晶シリコン膜のほかに、アモルファスシリコン、単結晶シリコンの膜であってもよい。多結晶シリコンやアモルファスシリコンの場合はCVD（Chemical Vapor Deposition）法により、単結晶シリコンの場合はSIMOX（Separation by Implanted Oxygen）法により、それぞれ絶縁膜3上に接したかたちでシリコン製の膜を形成できる。

【0014】多結晶シリコン膜4上は、PN接合4c両側で分離されたかたちで高融点金属膜5が形成され、その低抵抗化が図られている。高融点金属膜5としては、例えばチタン（Ti）、タングステン（W）、モリブデン（Mo）のほか、シリサイド化したものとして、例えば $TiSi_2$ 、 WSi_2 、 $MoSi_2$ 、 $TaSi_2$ などが選択できる。そして、高融点金属膜5上に、P側、N側でそれぞれ接続孔6aを有する層間絶縁膜6が形成され、この接続孔6aを介して、アノード電極層7とカソ

ード電極層8が、それぞれP側とN側の高融点金属膜5に接続されている。

【0015】つぎに、上記した構成の薄膜シリコンダイオード1の製造方法について、多結晶シリコンの場合を例に簡単に説明する。まず、半導体基板2を用意し、その表面に絶縁層3を厚膜に形成する。つぎに、CVD法により多結晶シリコン膜4を形成し、例えばイオン注入法によるP型とN型の打ち分けを行い、P型膜領域4aとN型膜領域4bに区分する。

10 【0016】このイオン注入の打ち分けは、フォトリソグラフィ技術によるレジストパターン形成とイオン注入とを交互に2回行なうことでも可能だが、両膜領域4a、4bを隣接させ確実にPN接合4cを形成するためには、自己整合的な方法が望ましい。たとえば、まず、P型膜領域4aとしたい側に酸化シリコン膜と窒化シリコン膜の積層マスクパターンを形成し、N型不純物をイオン注入しN型膜領域4bを形成する。続いて、同じ積層マスクパターンを用いて、形成したN型膜領域4b表面を選択的に熱酸化する。そして、積層マスクパターン除去後、残された選択酸化膜をマスクとしてP型不純物をイオン注入すると、先に形成したN型膜領域4bに隣接してP型膜領域4aが自己整合的に形成される。その後、選択酸化膜は除去される。

20 【0017】高融点金属膜5を成膜し、成膜した高融点金属膜5のPN接合4cに沿った部分をエッチング除去した後、合金化を行なう。この高融点金属膜5の合金化が済むと、所定の層間絶縁膜6を成膜し、接続孔6aを開口する。そして、電極となる金属膜を成膜し、この金属膜をエッチング加工して、配線層（アノード電極層7とカソード電極層8）を形成する。これにより、アノード電極層7とカソード電極層8が、それぞれP側とN側の高融点金属膜5に接続孔6aを介して接続されたかたちで分離して形成される。その後は、必要に応じて、保護層の形成、パッド窓明け等を経て、当該薄膜シリコンダイオード1の製造が終了する。

30 【0018】本発明の薄膜シリコンダイオード1では、絶縁層3上にダイオードが形成されていることから、その寄生容量が極めて小さい。また、薄膜4内で互いに隣接する導電膜領域4a、4bにより当該ダイオードが構成されていることから、接合容量も小さくすることが容易である。このため、高速スイッチング動作および消費電力の低減が可能である。また、本発明の薄膜シリコンダイオード1は、導電化工程を含む通常の膜形成技術と、そのエッチング加工技術との組み合わせで容易に形成されることから、製造工程が簡易であるといった特長も有している。

【0019】第2実施形態

本実施形態は、本発明の半導体装置のうち、ダイオードROMについてのものである。図2は、ダイオードROMの要部を示す回路図である。図2中、符号11はメモ

リアレイ、12はカラム・マルチプレクサ、13はセンスアンプを示している。

【0020】メモリアレイ11では、ビット線BL1, BL2, …とワード線WL1, WL2, …との各交点で、両線間に接続されたダイオードを有するか否かによってコーディングがされている。具体的に図2の例では、ビット線BL1とワード線WL1との交点、ビット線BL2とワード線WL2との交点、ビット線BL2とワード線WL4との交点はダイオードを非接続としてコーディング

“0”とし、他の交点にはダイオードD21, D31, D41, D12, D32, D13, D23, D33, D43を接続させてコーディング“1”としている。

【0021】このダイオードROM10では、ビット線BL1, BL2, …は読み出し動作の前にハイレベルにプリチャージされ、ワード線WL1, WL2, …は選択時にローレベルとなって所望のメモリセル（ダイオード）が選択される。このため、各ダイオードは、選択時に導通するようにビット線側にアノードが、ワード線側にカソードがそれぞれ接続されている。

【0022】図3は、図2のA部を例に本ダイオードROMの構造を示す図であり、図3(a)は平面図、図3(b)は図3(a)のII-II線に沿った断面図である。

図3(b)に断面を示すダイオードD32、及び断面を図示せぬダイオードD21, D31は、それぞれ第1実施形態に記述した薄膜シリコンダイオード1で構成されている。したがって、これらダイオードD21, D31, D32については、前記第1実施形態と同じ符号を付し、ここでの詳細な説明は省略する。ここで、図中の符号2は半導体基板、3は絶縁層、4はシリコン製膜（例えば、多結晶シリコン膜）、5は高融点金属膜、6は層間絶縁膜（ここでは、第1層間絶縁膜という）である。また、4aはシリコン製の膜中のP型膜領域、4bはN型膜領域、4cはPN接合である。

【0023】符号6aは、第1層間絶縁膜6の接続孔（ここでは、CNTという）であり、P型膜領域4a上の高融点金属膜5上で開口されている。このCNT上には、例えばアルミニウム（Al）等の第1の配線層（1MET）が、下地の高融点金属膜5に接続された孤立パターンとして形成されている。1MET上に第2の層間絶縁膜9が成膜され、この第2の層間絶縁膜9は、1MET上で開口する接続孔（VIA）を備えている。そして、このVIAを介して下地の1METに接続されたかたちで、例えばアルミニウム（Al）等の第1の配線層（2MET）が列方向に配線されている。

【0024】この図3(b)では、その左端で、ダイオードD32が接続されたN型膜領域4bと高融点金属膜5との積層膜によりワード線WL3が構成され、図の右端で、孤立したN型膜領域4bと高融点金属膜5との積層膜によりワード線WL2が構成されている。また、2METにより、ビット線BL2が構成されている。

【0025】ダイオードD21, D31の断面構造は、特に図示しないが、図3(b)のダイオードD32を左右対称に配置したように構成してある。すなわち、ワード線WL2を構成するN型膜領域4bとP型膜領域4aとは、図を3(b)では切り離されているが、ダイオードD21, D31の断面では、これらに対向方向内側に互いに延在させ接触させて他のPN接合を形成し、これによりダイオードD21, D31が互いに逆向きに形成されている。また、2METにより、ビット線BL1が構成されている。

【0026】このように、図3に示すアレイ構造では、2本のワード線WL2, WL3を一組とし、このワード線WL2, WL3間における不純物拡散領域（P型膜領域4aおよびN型膜領域4b）のパターンでダイオードを形成させるか否かが決められる、いわゆる多結晶シリコンコーディング方式が採用されている。このコーディング方式では、2本のワード線（例えば、WL2, WL3）の対向間隔内に選択的に形成される2つのダイオード（例えば、D21, D31）間で、P型膜領域4a及びビット線コンタクト（VIA）を共有化できることから、メモリアレイ11の占有面積を比較的小さくできるといった利点を有する。

【0027】本発明のダイオードROMでは、多結晶シリコンコーディング方式のほかに、ビット線コンタクトによるコーディング方式を採用することもできる。図4(a)、(b)は、このビット線コンタクトによるコーディング方式を採用した場合のアレイ構造を示す図であり、図4(a)は平面図、図4(b)は図4(a)のII-I-III線に沿った断面図である。

【0028】このアレイ構造が、先に記述した図3(a)、(b)に示す多結晶シリコンコーディング方式と異なる点は、2本のワード線の対向間隔内にビット線ごとに2つのダイオードが別個に形成されることにある。すなわち、図4(b)の断面では、ダイオードD32のほかにダイオードD22も形成され、両ダイオードD32, D22のP型膜領域4aが共通化されていない。そして、各P型膜領域4aごとに1METの孤立パターンが形成され、そのコーディングは、1METとビット線BL2の接続孔であるVIA形成の有無で行なわれている。

【0029】このような構成のビット線コンタクトによるコーディング方式のダイオードROMでは、前記多結晶シリコンコーディング方式と比較すると、ダイオード及びVIAが共有化できず占有面積が大きくなるものの、コーディングが製造工程における後よりの工程で行なえることから、顧客からコーディングデータを入力してから製品を出荷するまでの時間、即ちサイクルタイム（または、TAT: TurnAround Time ともいう）を短くできるといった利点を有する。

【0030】なお、コーディングするビット線コンタク

トは、図示例のVIAに限定されない。すなわち、下層側のCNTを選択的に形成させたり、更に上層側に第3の配線層(3MET)、第4の配線層(4MET)を有する場合にあっては、その2METと3METとの接続孔(VIA2)、3METと4METとの接続孔(VIA3)を選択的に形成することによって、当該ビット線コンタクトのコーディングを実現することも可能である。これら図3、4に示すダイオードROMの製造方法については、ダイオード部分は先に記述した第1実施形態と同様に形成でき、その上層側の配線層(1METおよび2MET等)の層間絶縁膜を介した積層構造の形成は、通常の成膜技術(CVD法、スパッタ法等)とフォトリソグラフィ技術およびエッチング加工技術との組み合わせにより実現できることから、ここでの説明は省略する。なお、図3(a)、図4(a)中、符号4dは多結晶シリコン膜4の不純物打分け用マスクパターン、符号5aは高融点金属膜5の部分的除去用マスクパターンを示すものである。

【0031】次に、このダイオードROM10のデータ読出し動作について、図2においてダイオードD₃₂が選択された場合を例に簡単に説明する。前記したように、選択されるビット線は読み出し動作の前にハイレベルにプリチャージされ、ワード線はローアクティブで選択されることから、ワード線の選択の前は、ビット線電位は“High(H)”レベル、ワード線電位は“High(H)”レベルにそれぞれ保持され、全てのダイオードには電圧が印加されず、ダイオードにおける消費電力がない。次に、選択ワード線WL₃が“L”レベルに落とされると、ダイオードD₃₂のみ順方向にバイアスされるので、これに順方向電流I_Fが流れ、選択ビット線BL₂の電位が低下する。この選択ビット線BL₂の電位低下は、選択ビット線をセンスアンプ13に選択的に接続させるカラム・マルチプレクサ12の働きにより、センスアンプ13で検出されデータ出力される。

【0032】ダイオードROM10では、上述のように、非選択のダイオードは逆バイアスされ、選択時の順方向電流I_Fが読みだされることから、逆方向リーク電*

*流I_Rが余り大きいとデータ読出しができない。ダイオードROM10の列方向には、例えば128個、256個といった多数のダイオードが配列されており、これらの逆方向電流が積算された非選択ビット線の電流は、最大でI_Rの128倍或いは256倍となる可能性がある。したがって、選択ビット線の順方向電流I_Fに対して、この非選択ビット線の電流値を相対的に小さくしておく必要がある。

【0033】本発明のダイオードROM10では、薄膜シリコンダイオード1を用いてメモリアレイが構成されていることから、128個あるいは256個といった多数のダイオードが接続されるビット線やワード線の負荷容量が、従来に比べ極めて小さく、高速なデータ読出し及び低消費電力を可能としている。また、第1実施形態と同様に製造工程も簡易であり、高集積化にも適している。

【0034】第3実施形態

本実施形態は、本発明の半導体装置のうち、PLAについてのものである。PLAは、任意の論理回路を積和に展開したかたちでアレイ上にインプリメントさせたもので、一般にANDアレイとORアレイとから構成される。図5は、PLAのANDアレイの一部を抜き出して示す回路図であり、(IN0, IN1)によって発生されるアレイ入力(INOT, INOF, ...)と、アレイの出力(OL0, OL1, OL2)とをマトリクス状に配線し、その交点で両線間にダイオードが接続されているか否かにより論理関数がインプリメントされている。

【0035】図6は、このANDアレイの動作を示すタイミングチャートである。出力線(OLx)に図6に示すプリチャージクロック信号(precharge clk)を印加し、出力線(OLx)をH状態にする。このとき、アレイの入力は全て(H)となる。次に、プリチャージクロック信号が(L)になると、入力(IN0, IN1)に応じた信号がアレイに入力され、アレイ入力(L)に接続されているダイオードが出力ラインを(L)に落とす。図の例では、次の表のようにデコードされる。

【表1】

INPUT		OUTPUT		
IN0	IN1	OL0	OL1	OL2
0	0	0	1	1
1	0	0	1	0
0	1	1	0	0
1	1	0	0	0

【0036】このように、入力(IN0, IN1)は、ANDアレイにインプリメントされているダイオードによって、出力(OL0, OL1, OL2)を決定する。

【0037】第4実施形態

本実施形態は、本発明の半導体装置のうち、レジスタに

についてのものである。図7は、本発明のレジスタの一例として、シフトレジスタを示す回路図である。このシフトレジスタは、マスタ部、スレーブ部及びスキャン入力部とに大別される。

【0038】マスタ部において、インバータINV₁, I

NV₂ でデータ保持ラッチが構成され、その一方側のノードND₁ には入力データのゲート印加に応じて導通するnMOSトランジスタTR₁ が接続され、ラッチの他方側のノードND₂ には、インバータINV₃ を介して反転された入力データのゲート印加に応じて導通するnMOSトランジスタTR₂ が接続されている。この両nMOSトランジスタTR₁、TR₂ の共通化されたソース（ノードND₃）は、前記第1実施形態で示すような薄膜シリコンダイオード1を介して、マスタクロック信号線mCLKに接続されている。

【0039】スレーブ部の構成も、同様に、インバータINV₄、INV₅ でデータ保持ラッチが構成され、その一方側のノードND₄ には、マスタ部の前記ノードND₁ にゲートが接続されたnMOSトランジスタTR₃ が接続され、ラッチの他方側のノードND₅ には、マスタ部の前記ノードND₂ にゲートが接続されたnMOSトランジスタTR₄ が接続されている。この両nMOSトランジスタTR₃、TR₄ の共通化されたソース（ノードND₆）は、前記第1実施形態で示すような構成の薄膜シリコンダイオード1を介して、スレーブクロック信号線sCLKに接続されている。また、ラッチの一方側のノードND₄ には、二段のインバータINV₆、INV₇ を介してデータ出力端子が接続されている。

【0040】一方、スキャン入力部は、ドレインがマスタ部の前記ノードND₁ に接続され、スキャン入力のゲート印加に応じて導通するnMOSトランジスタTR₅ と、ドレインがマスタ部の前記ノードND₂ に接続され、インバータINV₈ を介して反転されたスキャン入力のゲート印加に応じて導通するnMOSトランジスタTR₆ とを有している。この両nMOSトランジスタTR₅、TR₆ の共通化されたソース（ノードND₇）は、前記第1実施形態で示すような構成の薄膜シリコンダイオード1を介して、テストクロック信号線tCLKに接続されている。

【0041】つぎに、このように構成されたシフトレジスタの動作を簡単に述べる。なお、このシフトレジスタに入力される各種クロック信号mCLK、sCLK、tCLKはローアクティブの信号である。このシフトレジスタに、“H”レベルのデータが入力されマスタクロック信号線mCLKが“L”レベルになるとTR₁ が導通し、ノードND₁ が“L”、ノードND₂ が“H”で保持される。この状態で、スレーブクロック信号線sCLKが“L”レベルになるとTR₄が導通し、ノードND₅ が“L”、ノードND₄ が“H”で保持され、この“H”のデータが二段のインバータINV₆、INV₇ を介してデータ出力される。

【0042】反対に、このシフトレジスタに、“L”レベルのデータが入力されmCLKが“L”レベルになるとTR₂ が導通し、ノードND₂ が“L”、ノードND₁ が“H”で保持され、この状態でsCLKが“L”レ

ベルになるとTR₃ が導通し、ノードND₄ が“L”、ノードND₅ が“H”で保持され、ノードND₄ の“L”のデータが二段のインバータINV₆、INV₇ を介してデータ出力される。

【0043】また、スキャン時には、tclkとsclkとを交互に“L”にすることにより、スキャン入力部、マスタ部のノードND₁、ND₂、スレーブ部を介したスキャン入力（SCAN IN）のデータ転送が可能となる。

【0044】シフトレジスタでは、通常、各クロック信号線mCLK、sCLK、tCLKは、それぞれ多数のマスタ部、スレーブ部、スキャン入力部に対して並列に接続されていることから、高速なシフト動作を行なうためには、その負荷容量の低減が重要である。本発明のレジスタでは、これら各種クロック信号線mCLK、sCLK、tCLKのスイッチング素子として、薄膜シリコンダイオード1が用いられていることから、これら各種クロック信号線mCLK、sCLK、tCLKの負荷容量が低減され、この結果、シフト動作の高速化および低消費電力化が図られている。

【0045】

【発明の効果】以上説明してきたように、本発明に係わる薄膜シリコンダイオードによれば、その接合容量や寄生容量が小さく、高速スイッチングが可能となる。また、この薄膜シリコンダイオードをスイッチング素子として用いた半導体装置（例えば、ダイオードROM、PLA、レジスタ）では、スイッチング素子が多数接続される信号線の負荷容量が大幅に低減され、これにより、これら半導体装置の大幅な高速化および低消費電力化を図っている。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係わる薄膜シリコンダイオードの一構成例を示す概略断面図である。

【図2】本発明の第2実施形態に係わるダイオードROMの要部を示す回路図である。

【図3】図2のA部を例に本ダイオードROMのアレイ構造を示す図であり、図3（a）は平面図、図3（b）は図3（a）のII-II線に沿った断面図である。

【図4】ビット線コンタクトによるコーディング方式を採用した場合のアレイ構造を示す図であり、図4（a）は平面図、図4（b）は図4（a）のIII-III線に沿った断面図である。

【図5】本発明の第3実施形態に係わるPLAのANDアレイの一部を抜き出して示す回路図である。

【図6】図5のANDアレイの動作を示すタイミングチャートである。

【図7】本発明の第4実施形態に係わるシフトレジスタの構成を示す回路図である。

【符号の説明】

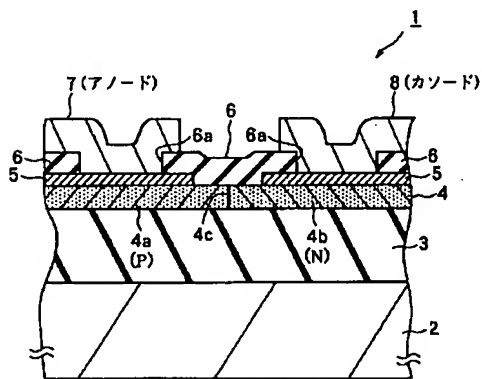
1 …薄膜シリコンダイオード、

2 …半導体基板、

11

- 3 …絶縁層、
 4 …多結晶シリコン膜（シリコン製膜）、
 4 a …P型膜領域（導電膜領域）、
 4 b …N型膜領域（導電膜領域）、
 4 c …PN接合、
 4 d …多結晶シリコン膜の不純物打分け用マスクパターン、
 5 …高融点金属膜、
 5 a …高融点金属膜の部分的除去用マスクパターン、
 6 …第1層間絶縁膜、
 6 a …接続孔、CNT、
 7、8 …配線層、
 9 …第2層間絶縁膜、
 10 …ダイオードROM、
 11 …メモリアレイ、

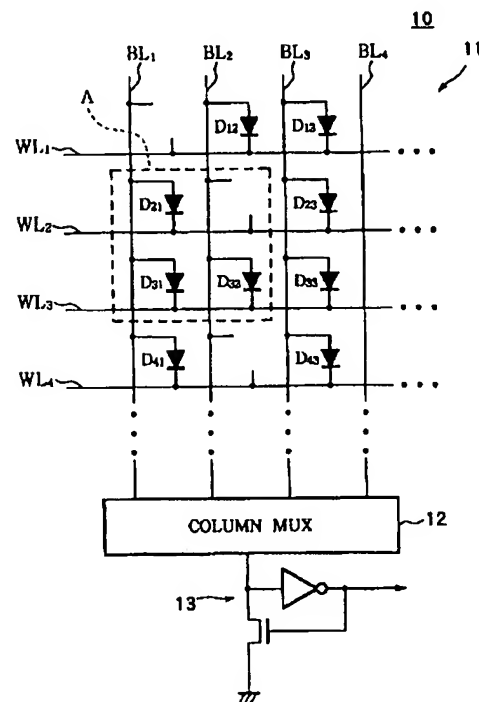
【図1】



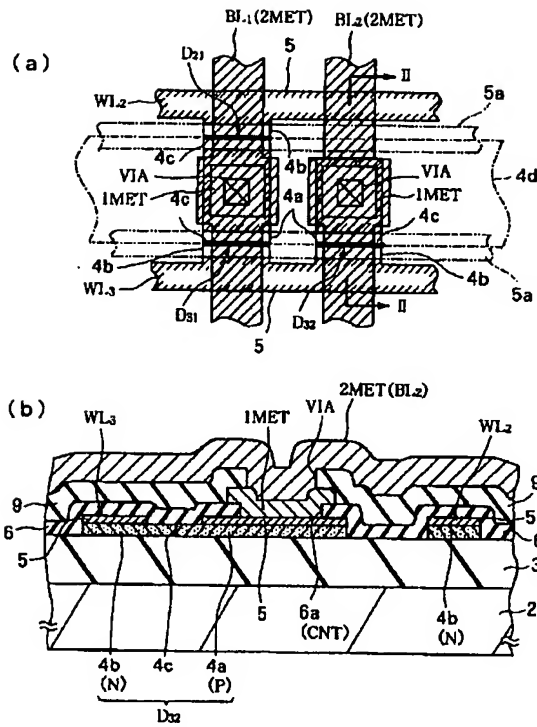
12

- 12 …カラム・マルチプレクサ、
 13 …センスアンプ、
 1 MET …第1の配線層、
 2 MET …第2の配線層、
 BL₁ 等 …ビット線、
 WL₁ 等 …ワード線、
 D₃₂ 等 …薄膜シリコンダイオード、
 VIA …第2層間絶縁膜の接続孔、
 IL₀ 等 …入力線、
 10 OL₀ 等 …出力線、
 mCLK …マスタクロック信号線（クロック信号線）、
 sCLK …スレーブクロック信号線（クロック信号線）、
 tCLK …テストクロック信号線（クロック信号線）。

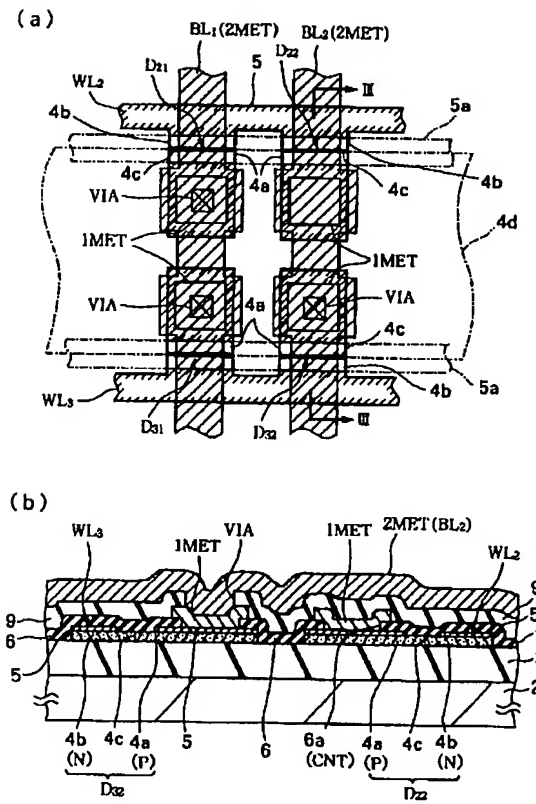
【図2】



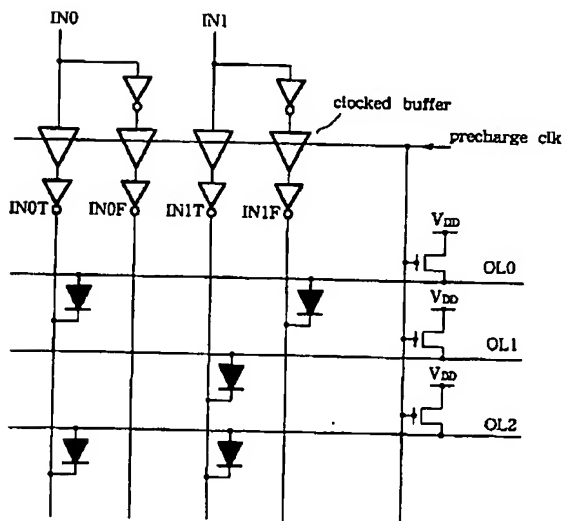
【図3】



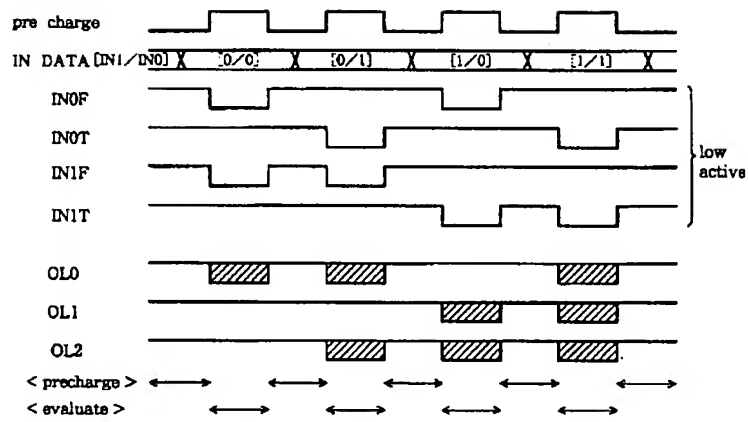
【図4】



【図5】



【図6】



【図7】

